

## PARTIAL TRANSLATION

JAPANESE EXAMINED PATENT PUBLICATION NO. 4-3552

January 23, 1992

5

---

## (57) Claim

1. A driver circuit for an active matrix type liquid crystal display device, said liquid crystal display device comprising a pair of substrates sandwiching a liquid crystal, one of said pair of substrates comprising a plurality of data lines, a plurality of gate lines, MOS transistors, and pixels all of which being formed thereon, said liquid crystal display device wherein said plurality of data lines and said plurality of gate lines are arrayed in a matrix, said MOS transistors are disposed at the points of intersection of the data lines and the gate lines, said driver circuit comprising a data side driver circuit connected to said plurality of data lines and a gate side driver circuit connected to said plurality of gate lines, said driver circuit for an active matrix type liquid crystal display device characterized in that: said data side driver circuit comprises first analog switches connected to said respective data lines, first connecting lines each connected to at least two of said first analog switches, capacitors and second analog switches both connected to said respective first connecting lines, video signal input terminals connected to said respective second analog switches, a first shift register for controlling said first analog switches, and a second shift register for controlling said second analog switches; video signals received by said video signal input terminals are such that the signal from said first shift register operate said first analog switches and the signal from said second shift register operates said second analog switches, whereby the video signal is supplied to said data lines; the signals from the second shift register and from said first shift register respectively operate said second analog

switches and said first analog switches for prescribed periods of time at prescribed cycles; the points of time at which said first and second analog switches start to operate for prescribed periods of time are synchronized; and the period of time in which said first analog switches are turned on in response to the signal from said first shift register is longer than the period of time in which said second analog switches are turned on in response to the signal from said second shift register.

⑫ 特許公報(日2) 平4-3552

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公告 平成4年(1992)1月23日

G 09 G 3/36  
G 02 F 1/133

5 5 0

8621-5G  
8806-2K

発明の数 1 (全5頁)

⑮ 発明の名称 アクティブマトリクス型液晶表示装置の駆動回路

⑯ 特 願 昭57-193815

⑰ 公 開 昭59-83198

⑱ 出 願 昭57(1982)11月4日

⑲ 昭59(1984)5月14日

⑳ 発 明 者 長 谷 川 和 正 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
㉑ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

㉒ 代 理 人 弁理士 鈴木 喜三郎 外1名

審 査 官 鈴 野 幹 夫

1

㉓ 特許請求の範囲

1 一対の基板間に液晶が挟持され、該一対の基板の一方の基板にはマトリクス状に配列された複数本のデータ線と複数本のゲート線、該データ線と該ゲート線の交点に配置されたMOSトランジスタと画素が形成されてなるアクティブマトリクス型液晶表示装置の該複数本のデータ線と接続されてなるデータ側駆動回路と、該複数本のゲート線と接続されてなるゲート側駆動回路とからなるアクティブマトリクス型液晶表示装置の駆動回路において、該データ側駆動回路は、該複数本のデータ線の各々に接続されてなる第1のアナログスイッチ、該第1のアナログスイッチの少なくとも2個以上を接続してなる第1の接続線、該第1の接続線の各々に接続されてなる容量及び第2のアナログスイッチ、該第2のアナログスイッチの各々に接続されてなるビデオ信号入力端子、該第1のアナログスイッチを制御する第1のシフトレジスタ、該第2のアナログスイッチを制御する第2のシフトレジスタで構成されてなり、該ビデオ信号入力端子に入力されたビデオ信号は、第1のシフトレジスタの信号により第1のアナログスイッチを、第2のシフトレジスタからの信号により第1のアナログスイッチを動作させて、データ線に供給されるものであり、該第2のシフトレジスタと該第1のシフトレジスタからの信号は一定時間、一定周期でそれぞれ該第2のアナログスイ

2

チと該第1のアナログスイッチを動作させるものであり、該第1及び第2のシフトレジスタの信号により一定時間該第1及び第2のアナログスイッチが動作を開始する時間は同期してなり、かつ該第1のシフトレジスタからの信号により該第1のアナログスイッチを一定時間オンする時間は、該第2のシフトレジスタからの信号により該第2のアナログスイッチを一定時間オンする時間よりも長いことを特徴とするアクティブマトリクス型液晶表示装置の駆動回路。

発明の詳細な説明

本発明はアクティブマトリクス型液晶表示装置特にアクティブマトリクス型液晶画像表示装置の駆動回路に関する。

15 アクティブマトリクス型液晶表示装置は、複数本のゲート線、該ゲート線と直交する複数本のデータ線及びゲート線とデータ線との各交点付近に形成された複数個のMOSトランジスタより成るアクティブマトリクス基板と、該アクティブマトリクス基板に対向する共通電極との間に液晶を介して成るものである。アクティブマトリクス基板としては、単結晶シリコン基板上にMOSトランジスタアレイを形成したもの、あるいは透明基板上に薄膜MOSトランジスタアレイを形成したもの等があり、前記アクティブマトリクス基板を用いたアクティブマトリクス型液晶表示装置、特にアクティブマトリクス型液晶画像表示装置を製

作する試みが、近年盛んに行われている。

前記複数のゲート線はゲート側駆動回路に接続され、前記複数のデータ線はデータ側駆動回路に接続されている。従来、データ線の配線をアルミニウムもしくはアルミニウム合金のような、比抵抗の小さい材料で行う場合は、データ線充放電の時定数が小さいため、データ側駆動回路に容量を付加する必要はなかった。

第1図にその例を示す。同図において101はゲート線、データ線及び画素アレイによって構成されるアクティブマトリクス型液晶表示装置で、102、103、104等はゲート線、105、106、107等はデータ線、111、112、113等は画素である。また、114はシフトレジスタから成るゲート側駆動回路、121、122、123、124、125等はアナログスイッチ、126はデータ線に印加されるビデオ信号の入力端子、131は前記アナログスイッチの開閉を制御するシフトレジスタであり、前記アナログスイッチ群121乃至125等とシフトレジスタ131とによってデータ側駆動回路が構成されている。アナログスイッチ121乃至125等は、ビデオ信号をサンプルホールドする働きをしており、一つのアナログスイッチが導通する時間は最大1μsec程度に制限される。

第2図は一画素を示したものである。同図において201は液晶、202はMOSトランジスタ、203はゲート線、204はデータ線である。

ところで、データ線の比抵抗が大きくなると、データ線に電荷を充放電する時の時定数も大きくなる。このため、第1図のような駆動回路で比抵抗の大きなデータ線を駆動しようとする、アナログスイッチの導通時間内にデータ線が完全には充放電されないため、画像表示が非常に困難となる。例えば、データ線における電圧降下が著しいため、第2図における液晶201の電極間の電位差も小さくなり、黒色に見える筈のものが白っぽい灰色に見えたりする。

その場合考えられるのは、各々のアナログスイッチ121乃至125等の直後に容量を付加し、アナログスイッチが開いた後も該容量の放電によりデータ線の充電を行い、電圧降下を防ぐ事である。しかし各々のデータ線に容量を付加した場合、データ線の本数と同数の容量が必要となるた

め、データ側駆動回路の素子数が増大する。素子数の増大したデータ側駆動回路を集積回路にした場合、該集積回路の面積が大幅に増大する。液晶表示装置の主な用途は、小型で低消費電力の電子機器への適用であるため、前述の駆動回路の素子数増大、即ち集積回路面積の大幅な増大は致命的な欠点となる。実際、容量の1個あたりの面積を0.07mm<sup>2</sup>とすると、100個ある場合、容量群の面積だけで7mm<sup>2</sup>となつてしまい、集積回路製作費の面から見ても、実用には適さない。また、当然のことながら前述の小型化も満足しない。

本発明の目的は、データ側駆動回路に付加した容量を効率的に利用することにより、少ない素子数の駆動回路で、比抵抗の高いデータ線の駆動を可能とし、小型で性能の優れたアクティブマトリクス型液晶表示装置の駆動回路を実現することにある。

本発明の要旨は、比抵抗の高い材料例えば、P型もしくはN型の拡散層、ITO等の透明導電膜層、シリコン薄膜層等)で形成されたデータ線を駆動するため、付加した容量の前後段端子を適切なクロック信号で切り換えることにより、容量を時分割多量使用して、一個の容量で複数本のデータ線の駆動を行うようにした点にある。

以下、実施例に基づいて本発明を詳細に説明する。

第3図に本発明の実施例を示し、第4図に第3図の駆動回路の各部の印加波形を示す。第3図はデータ側駆動回路において、容量4個ですべてのデータ線を駆動している例で、300はゲート線データ線及び画素アレイによって構成されるアクティブマトリクス型液晶表示装置で、301乃至306はゲート線、307乃至318は比抵抗がアルミニウムより高い材料(例えば、拡散層、透明導電膜、シリコン薄膜等)で形成されたデータ線、319乃至323等は第2図に示した画素、331はシフトレジスタより成るゲート側駆動回路、332はアナログスイッチ341乃至352の開閉を制御するシフトレジスタ、333はアナログスイッチ381乃至384の開閉を制御するシフトレジスタ、334乃至337は付加した容量、501乃至504は341乃至352のアナログスイッチの少なくとも2個以上、334乃至337の容量、及び381乃至384のアナログ

スイッチを接続してなる第1の接続線、該第1の接続線の各々に接続されてなる容量及び第2のアナログスイッチ、338はデータ線に印加されるビデオ信号の入力端子、361乃至372はシフトレジスタ332の出力端子、391乃至394はシフトレジスタ333の出力端子である。332乃至394で、データ側駆動回路が構成されている。第4図で401、402、403、404はそれぞれシフトレジスタ333の各出力端子391、392、393、394の出力信号を示しており、405、406、407、408、409、410、411、412はそれぞれシフトレジスタ332の各出力端子361、362、363、364、365、366、367、368の出力信号を示している。出力信号がハイのときアナログスイッチは導通し、出力信号がローのときアナログスイッチは非導通となるようになっている。入力端子338から入ってきたビデオ信号は、第4図の $t_1$ 乃至 $t_6$ の時間にアナログスイッチ381によってサンプリングされ、容量334を充電し、 $t_6$ 以後の時間も334の放電によりデータ線307を駆動する。時刻 $t_6$ になると、出力端子361の出力信号405がローとなり、アナログスイッチ341は非導通となり、容量334によるデータ線307の駆動は終了する。と同時に出力端子391及び365の出力信号401及び409がハイになり、アナログスイッチ381及び345が導通する。 $t_6$ 乃至 $t_6$ の時間にアナログスイッチ381によってサンプリングされたビデオ信号は容量334を充電し、アナログスイッチ345が導通する $t_6$ 乃至 $t_6$ の時間にデータ線311を駆動する。

以上述べたごとき動作の繰り返しによって、容量334はデータ線307、311……を、容量335はデータ線308、312、……を、容量336はデータ線309、313……を、容量337はデータ線310、314……をそれぞれ駆動する。第4図より、容量4個を用いることにより、一本のデータ線を駆動している時間は、容量を全く用いない場合の4倍となることがわかる。付加する容量の個数を増やせば、一本のデータ線を駆動する時間が増加する反面、必然的にデータ側駆動回路の集積回路の面積も増加する。従って付加容量の個数を一本のデータ線に電

荷を充放電するのに要する時間の大小に応じて適切に定めることによつて、最も容量が効率よく利用でき、高性能で小型のデータ側駆動回路の集積回路が実現される。該データ側駆動回路を用いると、データ線に比抵抗の大きい材料を使つても、データ線を駆動する時間が充分あり、またデータ線における電圧降下も少なくなり、アクティブマトリクス型液晶表示装置の表示性能が著しく向上する。実際、第3図において容量334乃至337を40PF、アナログスイッチ3381乃至384によるビデオ信号のサンプリング時間を1 $\mu$ sec、データ線のシート抵抗を100 $\Omega$ とすると、データ線が充放電を繰り返す、データ線の末端まで信号が伝わる時間は3.4 $\mu$ sec程度、データ線における電圧降下の割合は10%程度となり、充分実用に耐え得るばかりか、非常に高性能なものになった。

以上の如く、本発明のアクティブマトリクス型液晶表示装置の駆動回路は、一対の基板間に液晶が挟持され、該一対の基板の一方の基板にはマトリクス状に配列された複数本のデータ線と複数本のゲート線、該データ線と該ゲート線の交点に配置されたMOSトランジスタと画素が形成されてなるアクティブマトリクス型液晶表示装置の該複数本のデータ線と接続されてなるゲート側駆動回路と、該複数本のゲート線と接続されてなるゲート側駆動回路とからなるアクティブマトリクス型液晶表示装置の駆動回路において、該データ側駆動回路は、少なくとも1個の容量を具備し、該容量は第1のアナログスイッチを介してビデオ信号端子と接続され、かつ複数本の第2のアナログスイッチを介して該複数本のデータ線に接続されてなり、該容量と該第1のアナログスイッチの数は該データ線と該第2のアナログスイッチよりも少ないことにより、アクティブマトリクス型液晶表示装置のデータ線にビデオ信号が充分印加され、データ線及びゲート線の配線材料を高抵抗材料であるSiも使用することを可能にしたものである。上述のデータ線及びゲート線の配線材料に高強度のSiを使用できることはデータ線及びゲート線上に形成されてなる配向膜をラビングする時に、ラビングによつて配線材料が破損してしまうことがなくなる。なお、アクティブマトリクス型液晶表示装置のデータ線及びゲート線に低抵抗のAlなどを用いた場合においても、本発明の駆動回路を用

(4)

8

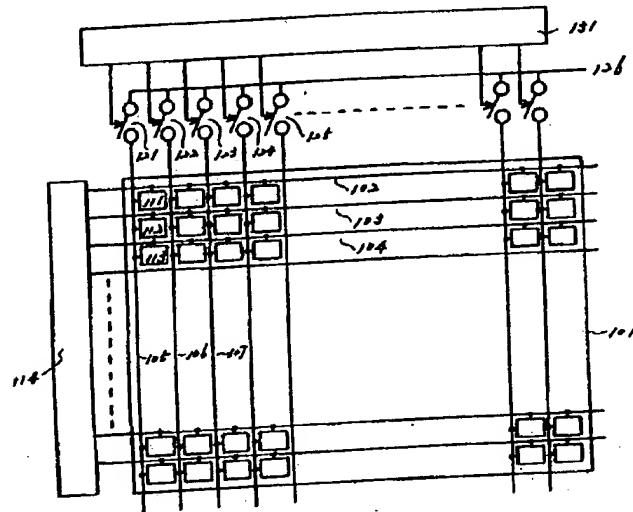
いれば、データ線にビデオ信号がより充分印加され、表示むらのない液晶表示装置の提供が可能となる。

図面の簡単な説明

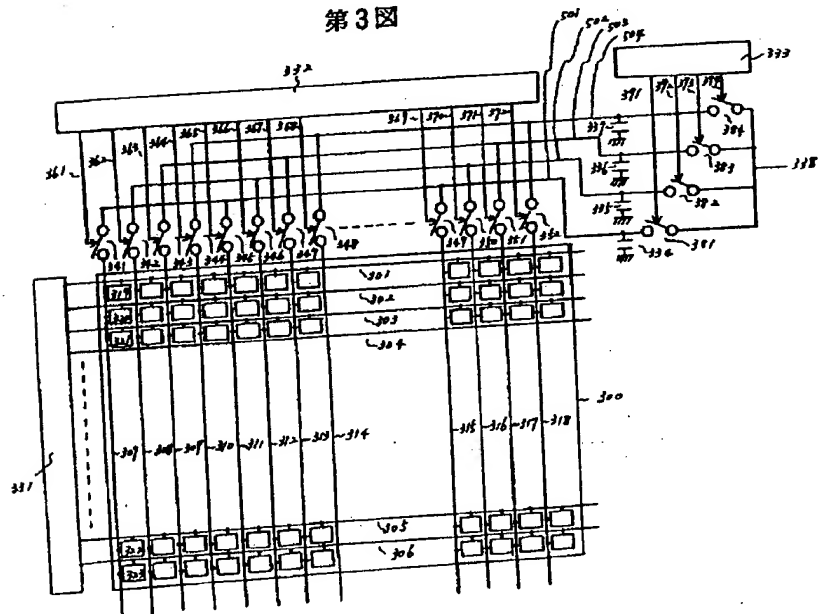
第1図は従来のアクティブマトリクス型液晶表 5

示装置及びその駆動回路を説明するための図。第2図はアクティブマトリクス型液晶表示装置の一画素の構成を示した図。第3図及び第4図は本発明の実施例を説明するための図。

第1図



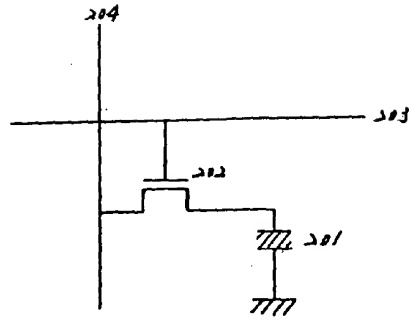
第3図



(5)

特公 平 4-3552

第2図



第4図

